

**SCHEDA DATI PER OFFERTA FORMATIVA PUBBLICA DI CUI AL PUNTO 1.2
DELLA CIRCOLARE MINISTERIALE N° 187 DELL'11 GIUGNO 2008**

Insegnamento: N° crediti/n° ore Docente titolare: Qualifica SSD di appartenenza Struttura di afferenza Telefono e-mail Orario di ricevimento Sito web docente	Calcolatori Elettronici 5 CFU/50 ore Fabio Roli Professore di 1° fascia ING-INF/05 – Sistemi di elaborazione delle informazioni Dipartimento di Ingegneria Elettrica ed Elettronica, Università degli Studi di Cagliari 070 675 5779 roli@diee.unica.it Riceve su appuntamento http://prag.diee.unica.it/n3ws1t0/node/165
Curriculum scientifico	<p>Fabio Roli si è laureato e ha conseguito il Dottorato di Ricerca in Ing. Elettronica presso l'Università di Genova. Dal 1995 fa parte del Dipartimento di Ing. Elettrica ed Elettronica dell'Università di Cagliari, dove attualmente è Professore Ordinario e dirige il gruppo di ricerca sul Pattern Recognition e le sue Applicazioni. È stato organizzatore di cinque edizioni del workshop internazionale sui Sistemi di Classificatori Multipli. E' membro delle principali associazioni scientifiche e professionali del settore, di comitati tecnici e dei comitati editoriali di diverse riviste internazionali.</p> <p>Pubblicazioni</p> <p>P. Coli, G.L. Marcialis, F. Roli, "Fingerprint silicon replicas: static and dynamic features for vitality detection using an optical capture device", <i>International Journal of Image and Graphics</i>, vol. 8, issue 4, pp. 495-512, 2008.</p> <p>G. Fumera, F. Roli, A. Serrau, "A Theoretical Analysis of Bagging as a Linear Combination of Classifiers", <i>IEEE Transactions on Pattern Analysis and Machine Intelligence</i>, vol. 30, issue 7, pp. 1293-1299, 2008.</p> <p>G. Giacinto, R. Perdisci, M. Del Rio, F. Roli, "Intrusion detection in computer networks by a modular ensemble of one-class classifiers", <i>Information Fusion</i>, vol. 9, issue 1, pp. 69-82, 2008.</p> <p>F. Roli, L. Didaci, G.L. Marcialis, "Adaptive biometric systems that can improve with use", in: <i>Advances in Biometrics: Sensors, Systems and Algorithms</i>, Springer, pp. 447-471, 2008.</p> <p>G. Fumera, I. Pillai, F. Roli, "Spam filtering based on the analysis of text information embedded into images", <i>Journal of Machine Learning Research (special issue on Machine Learning in Computer Security)</i>, vol. 7, pp. 2699-2720, 2006.</p>
Contenuto schematico del corso di insegnamento	Il corso fornisce i concetti fondamentali sulle architetture dei calcolatori. A partire dallo studio di reti logiche elementari, si analizza il cosiddetto modello di Von Neumann nelle sue quattro componenti (CPU, Memoria, I/O, Bus). L'architettura è vista sia

	<p>come insieme delle componenti e delle interconnessioni che compongono la macchina, sia come insieme delle istruzioni in linguaggio Assembly che ne permettono la programmazione.</p>
<p>Obiettivi formativi e risultati attesi (secondo i descrittori di Dublino)</p>	<p>Conoscenza e capacità di comprensione: lo studente conoscerà i concetti inerenti le moderne architetture dei calcolatori e ne comprenderà il funzionamento basilare.</p> <p>Capacità di applicare la conoscenza e capacità di comprensione: lo studente sarà capace di risolvere elementari esercizi di progetto di componenti architetture, spiegandone il funzionamento.</p> <p>Autonomia di giudizio: tra le diverse soluzioni architetture possibili, per quanto elementari, lo studente saprà autonomamente individuare la più adatta al particolare contesto.</p> <p>Abilità comunicative: lo studente consegnerà una padronanza della terminologia di base sulle architetture (componenti e linguaggio Assembly).</p> <p>Capacità di apprendere autonomamente: lo studente sarà in grado di approfondire le conoscenze sulle architetture reali di un calcolatore ed i linguaggi utilizzati in esse.</p>
<p>Articolazione del corso</p>	<p>Capitolo 1. Introduzione. Concetti base. Architettura e organizzazione. Struttura e Funzione. Struttura di un calcolatore. Breve storia dei calcolatori. Misura delle prestazioni. Teoria: 1 ora.</p> <p>Capitolo 2. Reti Logiche. Algebra Booleana. Definizione ed elementi di base. Porte Logiche. Funzioni booleane. Reti Combinatorie. Analisi e Sintesi di reti combinatorie. Esempi di reti combinatorie. Reti sequenziali sincrone. Elementi di memoria e sincronizzazione. Analisi e Sintesi di reti sequenziali sincrone. Esempi di reti sequenziali sincrone. Cenni sulla realizzazione circuitale delle reti logiche. Teoria: 5 ore. Esercitazioni: 5 ore.</p> <p>Capitolo 3. Struttura e Funzioni principali di un Calcolatore Elettronico. Funzioni principali di un calcolatore. Ciclo di esecuzione di un'istruzione di macchina. Interruzioni. I/O. Strutture di interconnessione. Bus: struttura, gerarchie, elementi di progettazione. Cenni al Bus PCI. Teoria: 1 ore.</p> <p>Capitolo 4. Unità di memoria. Concetti generali. Caratteristiche di un sistema di memoria. Gerarchia di memoria. Memorie interne. Memoria Cache. Memorie esterne. Codici a correzione d'errore (Hamming). Teoria: 5 ore. Esercitazioni: 5 ore.</p> <p>Capitolo 5. Unità di Ingresso/Uscita. Concetti generali. Periferiche. Modulo di I/O. I/O da programma. I/O con interruzioni. Direct Memory Access</p>

(DMA). Processori I/O. Interfacciamento. Cenni su SCSI e Firewire.

Teoria: 3 ore. Esercitazioni: 2 ore.

Capitolo 6. Linguaggio Assembler.

Introduzione al linguaggio Assembler: il MIPS. Le operazioni fondamentali: add, sub. Le istruzioni di memorizzazione: lw, sw. Salti condizionati e incondizionati: beq, bne, j. Salti a sottoprogrammi: jal, jr. Salvataggio e ripristino del contesto con tecnica "callee save" e "caller save".

Teoria: 4 ore. Esercitazioni: 4 ore.

Capitolo 7. Unità centrale di elaborazione: aritmetica dei calcolatori.

L'unità aritmetico-logica (ALU). Rappresentazione dei numeri interi. Aritmetica dei numeri interi. Rappresentazione in virgola mobile. Aritmetica in virgola mobile. Hardware della ALU.

Teoria: 5 ore. Esercitazioni: 2 ore.

Capitolo 8. Unità centrale di elaborazione: istruzioni di macchina.

Principali elementi di un'istruzione di macchina. Ciclo di esecuzione di un'istruzione. Formato delle istruzioni. Classi di istruzioni. Operandi. Indirizzamento degli operandi. La "pipeline". Temporizzazione della pipeline. Speed-up. Pipeline nell'Intel 80486.

Teoria: 3 ore. Esercitazioni: 1 ore.

Capitolo 9. Unità di controllo.

Micro-operazioni. Fasi di esecuzione di un'istruzione. Controllo del processore. Segnali di controllo per l'esecuzione delle micro-operazioni. L'Intel 8085. Tecniche di realizzazione di un'unità di controllo. Implementazione cablata. Implementazione micro-programmata.

Teoria: 1 ore.

Capitolo 10. Sistemi Operativi.

Definizione di Sistema Operativo. Utilità e servizi di un Sistema Operativo. Breve storia dei Sistemi Operativi. Supporto dell'HW al Sistema Operativo. La schedulazione dei processi. Livelli di scheduling. Strategie di scheduling: FIFO e SJF. La gestione della memoria. Partizionamento. Paginazione. Paginazione su richiesta. Segmentazione. Memoria segmentata e paginata. La segmentazione e paginazione nel Pentium II.

Teoria: 2 ore. Esercitazione: 1 ore.

Propedeuticità	Discipline consigliate come propedeutiche: Fondamenti di Informatica I
Anno di corso e semestre	2° anno, 1° sem
Testi di riferimento	Stallings W., Architettura e organizzazione dei Calcolatori – Sesta edizione - Pearson-Addison Wesley, 2004
Modalità di erogazione dell'insegnamento	Tradizionale
Modalità di frequenza	Facoltativa
Metodi di valutazione	Prova scritta/prova orale (facoltativa)/prove in itinere
Organizzazione della didattica	50 ore, di cui 30 ore di lezione e 20 ore di esercitazione
Calendario prove d'esame	https://webstudenti.unica.it/esse3/ListaAppelliOfferta.do ;jsessio

mid=5BB9895F4434F3A7ACF11F5CE763DD3F